

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-12821

(43)公開日 平成10年(1998)1月16日

(51) Int.Cl. ⁶	識別記号	府内整理番号	F I	技術表示箇所
H 01 L	27/04		H 01 L 27/04	C
	21/822		21/203	S
	21/203		21/285	S
	21/285		21/316	X
// H 01 L	21/316		27/10	6 5 1

審査請求 未請求 請求項の数3 OL (全5頁) 最終頁に続く

(21)出願番号	特願平8-158290	(71)出願人	000006264 三菱マテリアル株式会社 東京都千代田区大手町1丁目5番1号
(22)出願日	平成8年(1996)6月19日	(72)発明者	遠藤 恵子 埼玉県大宮市北袋町1丁目297番地 三菱 マテリアル株式会社総合研究所内
		(72)発明者	稻場 均 埼玉県大宮市北袋町1丁目297番地 三菱 マテリアル株式会社総合研究所内
		(72)発明者	米澤 政 埼玉県大宮市北袋町1丁目297番地 三菱 マテリアル株式会社総合研究所内
		(74)代理人	弁理士 重野 剛

最終頁に続く

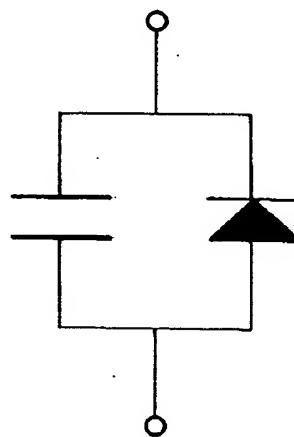
(54)【発明の名称】薄膜容量素子の作製方法

(57)【要約】

【課題】 整流特性を具備する薄膜容量素子を容易かつ効率的に製造する。

【解決手段】 上部電極をスパッタリング法で形成するに当たり、まずAr雰囲気にて逆スパッタを行って、誘電体層に酸素欠損を生起させた後、上部電極材料をスパッタする。

【効果】 Ar雰囲気で逆スパッタを行うと誘電体層の表面にAr粒子が衝突し、この衝撃で誘電体層中の酸素が飛散する。これにより、酸素欠損組成となった誘電体層はその誘電特性を維持した上で、良好な整流特性を示す。この逆スパッタは上部電極の形成工程と連続して行うことができ、逆スパッタを行うことによる実質的な工程数の増加はない。



【特許請求の範囲】

【請求項1】 下部電極上に誘電体層を形成し、該誘電体層上にスパッタリング法により上部電極を形成することにより、一対の電極間に薄膜状の誘電体層が形成された薄膜容量素子を製造する方法において、該上部電極を形成するに当り、まずAr雰囲気にて逆スパッタを行って、前記誘電体層に酸素欠損を生起させた後、上部電極材料をスパッタすることにより整流特性を有する薄膜容量素子を製造することを特徴とする薄膜容量素子の作製方法。

【請求項2】 請求項1の方法において、誘電体層をゾルゲル法により形成することを特徴とする薄膜容量素子の作製方法。

【請求項3】 請求項1又は2において、逆スパッタを、Ar流量10~20 sccm、RFパワー200~400Wで1~2分間行うことにより整流特性を有する薄膜容量素子の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜容量素子の作製方法に係り、特に、直流電源回路に使用するのに好適な整流特性を有する薄膜容量素子を作製する方法に関する。

【0002】

【従来の技術】ICへの直流電源供給ラインと接地ラインとの間に配設して、電源電圧の変動を抑えるために使用されているバイパスコンデンサにおいては、近年、IC内のトランジスタのスイッチング周波数が高周波化するに連れ、直流電源電圧に重畠する高周波の電圧変動(EMIノイズ)を除去できるようなものが求められるようになってきている。

【0003】従来、このようなバイパスコンデンサにおいては、一般に、パルス電圧での破壊電圧レベルが高いセラミックコンデンサが使用されているが、このセラミックコンデンサでは温度変化、印加電圧に対して容量値に変化が大きいことが問題となっていた。

【0004】ところで、ICはその直流電源供給端子に決められた定格電圧以上の逆方向電圧を印加すると、素子内のpn接合に順方向の過大な電流が流れ、ICの破壊を招く。これを防ぐ方法としては、ICの直流電源端子間に逆方向の電圧が印加された場合にこれを強制的に短絡し得る整流素子(ダイオード)を端子間に接続するか、又は、整流特性を具備するバイパスコンデンサを用いる方法が提案されている。

【0005】前者の方法では、ICの電源端子間に、電圧平滑化のためのコンデンサと逆電圧保護のためのダイオードとの2つの受動素子を接続しなければならず、素子数の増加、実装面積の増加、ひいてはコストの増加をもたらすという問題があった。

【0006】後者の整流特性を具備するバイパスコンデ

ンサであれば、1つの素子でダイオードとしての機能とコンデンサとしての機能を兼備するため、このような問題は解消される。

【0007】従来、整流特性を具備するコンデンサについては特開平5-299584号公報に記載があり、この特開平5-299584号公報においては、薄膜コンデンサの誘電体薄膜の表面を半導体化して整流特性を付与するために、上部電極形成前に誘電体薄膜をアルカリ性の薬品等で処理するか、或いは上部電極形成後に熱処理を施すといった手段を採用している。

【0008】

【発明が解決しようとする課題】誘電体薄膜をアルカリ性の薬品等で処理したり、或いは、上部電極形成後に熱処理を施したりして誘電体薄膜の表面を半導体化する特開平8-299584号公報記載の方法では、誘電体薄膜へのダメージやそれによる誘電特性の劣化やばらつきが生じるといった問題が懸念される。しかも、薬品処理又は熱処理といった、膜形成工程とは別の工程が必要となり、製造工程が増加するという問題もある。

【0009】本発明は上記従来の問題点を解決し、整流特性を具備する薄膜容量素子を容易かつ効率的に製造する方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明の薄膜容量素子の作製方法は、下部電極上に誘電体層を形成し、該誘電体層上にスパッタリング法により上部電極を形成することにより、一対の電極間に薄膜状の誘電体層が形成された薄膜容量素子を製造する方法において、該上部電極を形成するに当り、まずAr雰囲気にて逆スパッタを行って、前記誘電体層に酸素欠損を生起させた後、上部電極材料をスパッタすることにより整流特性を有する薄膜容量素子を製造することを特徴とする。

【0011】Ar雰囲気で逆スパッタを行うと誘電体層の表面にAr粒子が衝突し、この衝撃で誘電体層中の酸素が飛散する。これにより、酸素欠損組成となった誘電体層はその誘電特性を維持した上で、良好な整流特性を示す。

【0012】この逆スパッタは上部電極の形成工程と連続して行うことができ、逆スパッタを行うことによる実質的な工程数の増加はない。

【0013】本発明においては、誘電体層をゾルゲル法により形成することにより、低コスト化を図ることができる。

【0014】また、逆スパッタ条件は、Ar流量10~20 sccm、RFパワー200~400Wで1~2分間とするのが好適である。

【0015】

【発明の実施の形態】以下に本発明を詳細に説明する。

【0016】本発明においては、まず、下部電極上に誘電体層を形成する。誘電体層はゾルゲル法(熱分解

法)により形成するのが好ましく、例えば、下部電極が形成された基板上にスピンコート法、ディップコート法、スプレー法等により誘電体薄膜形成用組成物を塗布した後乾燥し、この塗布・乾燥を繰り返し行い、最後に550~1000°Cで0.5~1時間焼成して所望の膜厚の誘電体層を形成する。

【0017】本発明において、形成する誘電体層の誘電体組成としては特に制限はないが、一般的には、BaTiO₃, SrTiO₃, CaTiO₃, MgTiO₃, 或いはこれらを2種以上含む複合酸化物が好ましい。

【0018】従って、誘電体薄膜形成用組成物としては、目的とする誘電体組成となるように、その構成金属のカルボン酸塩、アルコキシドなどの原料を所定割合で有機溶剤中に溶解したものを用いることができる。なお、誘電体薄膜形成用組成物中の原料濃度は、金属酸化物換算の合計濃度で5~10重量%とするのが好ましい。また、誘電体薄膜形成用組成物には、この金属酸化物換算の合計モル含有量に対して0.5~10モル%のSi成分を金属アルコキシド又は金属カルボン酸塩の形態で添加しても良く、これにより、得られる誘電体層の誘電特性の向上を図ることができる。

【0019】本発明において、このようにして形成される誘電体層の膜厚は1000~4000Åであることが好ましい。

【0020】下地電極上に誘電体薄膜を形成した後は、スパッタリング法にて上部電極を形成するが、本発明においては、このスパッタリングにおいて、Ar雰囲気でまず逆スパッタを行って、Ar粒子を誘電体層表面に衝突させることで誘電体層に酸素欠損を生起させる。

【0021】この逆スパッタは、良好な整流特性を得るために、Ar流量10~20sccm, RFパワー200~400WのRFスパッタリングとし、スパッタ時間は1~2分程度とするのが好ましい。

【0022】上部電極のスパッタは、この逆スパッタに引き続き連続してAr雰囲気中にて実施される。この上部電極のスパッタリングは、DCスパッタでもRFスパッタでも良く、Arガス流量20~30sccmで所望の膜厚の上部電極が形成される条件で実施される。

【0023】本発明において、下部電極及び上部電極の構成材料には特に制限はなく、Pt, Au, Au/Cr, Al, Pd, Ru等、公知の電極材料を採用することができる。

【0024】このようにして得られる薄膜容量素子は、図1に等価回路を示す如し、本来の誘電特性に加えて良好な整流特性を有する。

【0025】

【実施例】以下に実施例及び比較例を挙げて本発明をより具体的に説明する。

【0026】実施例1

薄膜原料として2-エチルヘキサン酸バリウム、2-エ

チルヘキサン酸ストロンチウム及びチタニウムイソプロポキシドを用い、これらをBST組成比(Ba_{0.7} Sr_{0.3})TiO₃となるように有機溶剤(酢酸イソアミル)中に酸化物換算の合計濃度が8重量%となるように溶解し、得られた溶液に0.5モル%のシリコンテトラエトキシドを添加し、140°Cで1時間還流を行って、BST薄膜形成用組成物を調製した。

【0027】このBST薄膜形成用組成物をスピンコート法により、Pt基板上に2000rpmで塗布し、400°Cで10分乾燥させる工程を3回繰り返し、最後に600°Cの電気炉で1時間焼成を行い、その後空気中で冷却した。これにより、膜厚約3000ÅのBST薄膜が形成された。

【0028】BST薄膜が形成されたPt基板をスパッタリング装置に入れ、下記条件で逆スパッタを行った後、連続して上部電極としてPtのスパッタを下記条件で行った。形成した上部電極面積は1.0mm²である。

【0029】逆スパッタ条件

Arガス流量: 20sccm

RFパワー: 200W

温度: 室温

スパッタ時間: 2分

Ptスパッタ条件

Arガス流量: 20sccm

DCパワー: 800W

温度: 室温

スパッタ時間: 6分

得られた薄膜コンデンサの電気特性を測定し、結果を表1及び図2に示した。

【0030】実施例2

BST薄膜形成後の逆スパッタ時間を1分間にしたこと以外は、実施例1と同様にして薄膜コンデンサを作製し、その電気特性の測定結果を表1及び図2に示した。

【0031】比較例1

BST薄膜形成後の逆スパッタを行わなかったこと以外は、実施例1と同様にして薄膜コンデンサを作製し、その電気特性の測定結果を表1及び図2に示した。

【0032】実施例3, 4、比較例2

薄膜原料の組成比を(Ba_{0.5} Sr_{0.5})TiO₃となるようにしたこと以外は、それぞれ実施例1, 2及び比較例1と同様に行って、薄膜コンデンサを作製し、その電気特性の測定結果を表1に示した。

【0033】実施例5, 6、比較例3

薄膜原料の組成比を(Ba_{0.3} Sr_{0.7})TiO₃となるようにしたこと以外は、それぞれ実施例1, 2及び比較例1と同様に行って、薄膜コンデンサを作製し、その電気特性の測定結果を表1に示した。

【0034】

【表1】

例	誘電体組成比	逆バッタ時 (分)	容量 (nF)	誘電正接 $\tan \delta$ (%)	絶縁抵抗 (5V印加時) (Ω)	絶縁抵抗 (-5V印加時) (G Ω)
実施例1	$(Ba_{0.7}Sr_{0.3})TiO_3$	2	12.1	0.32	7.1×10^{-10}	5.0×10^{-4}
実施例2		1	12.2	0.35	1.0×10^{-11}	5.0×10^{-6}
比較例1		-	12.2	0.33	2.5×10^{-11}	6.1×10^{-10}
実施例3	$(Ba_{0.5}Sr_{0.5})TiO_3$	2	8.56	0.28	1.6×10^{-11}	5.0×10^{-4}
実施例4		1	8.55	0.25	1.1×10^{-11}	8.1×10^{-5}
比較例2		-	8.56	0.28	1.2×10^{-11}	9.8×10^{-10}
実施例5	$(Ba_{0.3}Sr_{0.7})TiO_3$	2	6.79	0.25	4.1×10^{-12}	6.1×10^{-6}
実施例6		1	6.77	0.28	4.1×10^{-12}	3.1×10^{-5}
比較例3		-	6.80	0.22	4.2×10^{-12}	6.1×10^{-11}

【0035】表1及び図1より、本発明の方法で製造された薄膜容量素子は、良好な整流特性を具備すること、また、整流特性を得るために行う逆スパッタは、薄膜容量素子の誘電特性に殆ど影響を及ぼすことはないことが明らかである。

【0036】

【発明の効果】以上詳述した通り、本発明の薄膜容量素子の作製方法によれば、良好な整流特性を具備する薄膜容量素子を少ない工程数にて容易かつ効率的に製造することができる。

【0037】本発明により製造される薄膜容量素子は、高容量、高耐圧、低リーキ電流を兼ね備えるバイパスコ

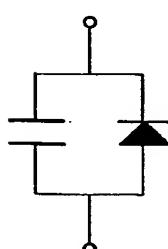
ンデンサとして、また、逆電圧印加時のICの保護素子としての、コンデンサ機能と整流素子機能を兼ね備えた薄膜素子として極めて有用であり、特に、カットオフ周波数の高周波化、ワイヤーレスによる低インダクタンス化が可能となり、今後更に高周波化が予想されるトランジスタ回路のノイズ対策に好適である。

【図面の簡単な説明】

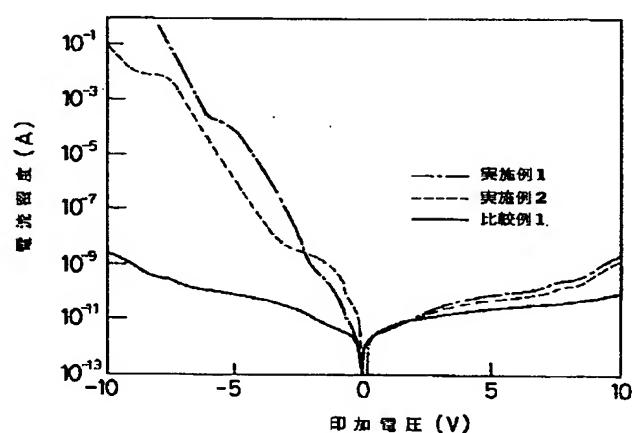
【図1】本発明で製造される薄膜容量素子の等価回路図である。

【図2】実施例1、2及び比較例1で得られた薄膜コンデンサの整流特性を示すグラフである。

【図1】



【図2】



フロントページの続き

(51) Int.C1.6

H01L 27/108

21/8242

識別記号 庁内整理番号

F I

技術表示箇所

(72)発明者 小木 勝実
埼玉県大宮市北袋町1丁目297番地 三菱
マテリアル株式会社総合研究所内